

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-259018

(43)Date of publication of application : 21.12.1985

(51)Int.Cl.

H03K 17/30

G01D 1/18

H03K 3/02

(21)Application number : 59-115701

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 06.06.1984

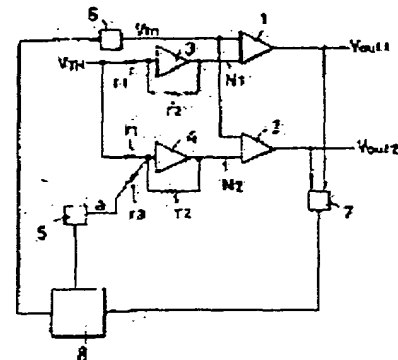
(72)Inventor : HASHIZUME KEN

(54) CALIBRATION SYSTEM OF COMPARATOR

(57)Abstract:

PURPOSE: To calibrate automatically a variance of a DC discriminating point of a comparator by using an input waveform having a very low change so as to obtain the variance in the DC discriminating point with high sensitivity as a difference in the measuring time.

CONSTITUTION: A computer 8 zeros an output (a) of a calibration digital-analog converter (DAC) 5 in a circuit comprising a reference comparator 1 and a comparator 2 to be calibrated, inputs the same threshold voltage to all comparators so as to input the same voltage as that of outputs N1, N2 of operational amplifiers 3, 4. Then an output of a low speed slope waveform generator 6 is applied to all the comparators. In this case, the calibration is not executed yet, then a VOUT2 is in variance with a comparator output VOUT1 and the variance time (t) is obtained by a time difference measuring section 7. The correction value is obtained by the computer 8 from the time (t) and the slope of the input Vin, the output (a) is set to zero the time (t) and the voltage of the output N2 is calibrated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

總發行所

特許公開公報 (A) 昭60-259018

Print. C.:

檢索號

序

④公開 昭和60年(1985)12月21日

H 03 K 17:30

7105-3J

LG 01 D 1/18
LG 02 K 2/02

7269-2F
2475-51

А В С Д Е

325-33

審査請求 未請求 発明の数！ (全3頁)

発明の名称 コンパレータのキヤリブレーション方式

④持 照 照59-115701

出 類 昭昭(1964)6月5日

①免 考 者	15 人	川崎市南区小向町東五軒 1 番地	茨城県水戸市川二丁目
②出 席 人	4 人	川崎市南区堀川町 72 番地	
③代 理 人	1 人	外 2 名	

三 思

上巻の巻名

マシンレータのキャリブレーション方式

この申請の趣意

[illegible]

3. 幾何の基礎と証明

(角 明 の 改 定 六 冊)

不足額はコンパレータのキャリブレーション
方式（入力に対する出力の遅れ時間と振幅利得
点の誤差）コンパレータ間のばらつきを修正する
こと）に歸する。

・〔強弱の技術的要素とその関連点〕

発表、模範のコンパレーションのキャリブレーションはその測定範囲のばらばらさを決定してあり、キャリブレーションの既知標準値のばらつきをついては既知値にばらついてゐなかつた。しかしながらキャリブレーションの既知標準値のばらつきがあった場合、コンパレーションの測定値のばらつきが多くなるケースがある。そのケースというのは、入力として既知値が既知で低く（例えば0.01V/μs）である場合で、この場合コンパレーションで既知標準値が与つてゐると、測定時間が入り過ぎる（低値）が生じてしまうのである。

(長期の目的)

本委員は上記諸情に鑑みてなされたもので、
コンパレータの判読誤差を最小に近づけることをキャ
リアレーションとてやるようにしたコンパレータ
のキャリアレーション方式を提案しようとする
ものである。

(飛 鳥 の 故 郷)

五、現に、文化が非白人諸国の人口増大をつ
み、三億五千萬の人口を擁する海峽植民地
として、世界の大勢を握るべきとしたものであ
る。

(世界の出来事)

以下図面を参照して圧縮機の一般構造を説明する。第1図面から見ては部材コンプレータ、およびキャリブレーション・コンプレータ、またはオスマノフ、「 Γ 」、「 Δ 」に於て、おなじコンプレータの V_{10} (スレーン、入込三)を可変とするためのキャリブレーションOAC(サドル・アジャスタ機構)、および部材スコープ状の弁(例えば0.0017"/o) V_{10} の存在部、 Δ にコンプレータ、と筒の入力 V_{10} 、に対する定常時間区を求める時間区間及戻量、および上記時間区間と入力 V_{10} 、の差値からコンプレータ配の圧容の時温度 t_1 が決定するようにコンプレータのスラングランド特性に従って決定する等の計算を行なうコンピュータである。

此の図は上記装置の動作を説明するための図である。

想図である。まずコンパイルしてバイナリー
 シンダックの出力を生成してバイナリー
 形式で保存する。その状態で実行されるこ
 うにする。この図は、あくまで参考。

$$V_{s1} = - \frac{f_1}{f_2} V_{m1} \quad \dots\dots(2)$$

また、 α の値は V_{m1} に

$$V_{n1} = -\frac{f_1}{f_2} \quad V_{n2} = -\frac{f_2}{f_1} \quad \dots \dots \dots (2)$$

よ足したより正則関数 ϕ の値は手配されているから、コンプレータ $\mathbf{1}$ 、 $\mathbf{2}$ のエレメン、 \mathbf{N} が区画として、同じ出力の重畳が入力される。このようにしてから、全コンプレータに同じ振幅スコープ(例えば0.01V/μs)の入力 V_{in} を加える。この時コンプレータは乗算チャリベーションであるため、コンプレータ出力 V_{out1} に対して V_{out2} はばりつくから、このばりつくの時間 t (μ 秒)を数値として、この時間 t の値を導出遅延調整 τ で求め、この τ の値と入力 V_{in} の振幅から導出重畳をコンプレータ $\mathbf{1}$ で求め、この導出値でチャリベ

レーション SAC の出力を、時間差を考慮した
ように設定する。このようにして、次の耳
田(スレッシュホールド値)が設定され、固定判
定値のチャリブレーションが可能となるもので
ある。

このようにしてコンパレータの出力電圧は
のばつた電圧に等しく、リニアーション、ンでさ
る。また入力 V_{in} は、スコープをみて、コンパ
レータ入力端子間電圧に等大となり、つまり電圧
増倍率のはばつた電圧に等しく、電圧増倍率のうた、電
圧として電圧増倍率を計算できる。リニアーション
、ンでさる。また入力 V_{in} として $0.001V/\text{cm}$
増倍の電圧を入力した時、1cmの増倍電圧増三
の電圧あるに、1cmの V_{out1} と V_{out2} との差とな
り、等しく電圧でさる。また上図のようにキャ
リブレーション、ンでさる。また1、2のコンパ
レータをみて、それだけ電圧の増倍のうた入力が増
倍された電圧の増倍率に等しく、電圧増倍率の増倍、不
力電圧より電圧増倍率がキャリブレーション、ンで
れらから、電圧増倍率の増倍が可視になるもの

4.

〔元明以來〕

[illegible]

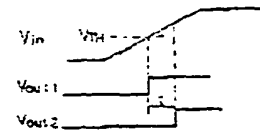
4. 図面の書き方と説明

第三圖は不足額の一連の推移を示す折线图、第四圖は超過額の推移を説明するための折线图、第五圖は不足額の定率増減を説明するための折线图である。

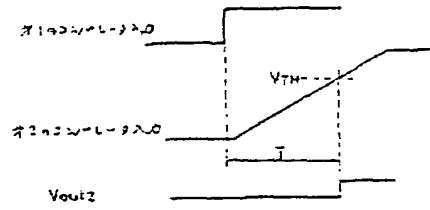
2. ...コンクリート、3. ...ガスアンプ、
 4. ...キャリブレーションDAC、5. ...V₁ 増設部、
 6. ...増設回路増設部、7. ...コンクリート、8. ...
 ...増設部。

出版人代理人 分理處 上海 武漢 漢口

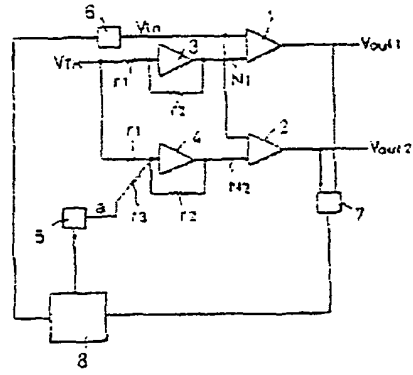
第 2 図



第 3 図



第 1 図



【公開番号】 特開昭 60-259018

【出願番号】 特願昭 59-115701

【公開日】 1985 年 12 月 21 日

【出願日】 1984 年 06 月 06 日

【国際特許分類】 H03K 17/30 G01D 1/18 H03K 3/02

【出願人】 株式会社東芝

【出願人識別番号】 000307

【発明者】 橋詰建

【発明の名称】 コンパレータのキヤリブレーション方式

【要約】 【目的】 変化が非常に低速の入力波形をつかつて直流判定点のばらつきを測定時間の差として高感度に求めることにより、コンパレータの直流判定点のばらつきを自動的にキヤリブレーションし得るようにする。【構成】 基準コンパレータ 1、被キヤリブレーションコンパレータ 2 からなる回路においてコンピュータ 8 でキヤリブレーションデジタルアナログ変換器 (DAC) 5 の出力 a を零にして全コンパレータに同じしきい値電圧を入力し、OP アンプ 3、4 の各々の出力 $N \downarrow 1$ 、 $N \downarrow 2$ の電圧と同じとする。そして、全コンパレータに低速スロープ波形発生器 6 の出力を供給する。この時、未キヤリブレーションであるため、コンパレータ出力 $VOU T 1$ に対して $VOU T 2$ はばらつき、このばらつきの時間 t を時間差測定部 7 で求める。この時間 t と入力 $V \downarrow i \downarrow n$ の傾斜から補正值をコンピュータ 8 で求め、出力 a を時間 t が零になるよう設定され出力 $N \downarrow 2$ の電圧が較正される。

【JAP10 フリーキーワード】 コンパレータ キヤリブレーション 直流 判 定 点
デジタル アナログ 変換器 低速 スロープ 波形